

98 P 2037



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Patentschrift
10 DE 195 06 543 C 1

51 Int. Cl.⁸:
H03 K 5/13
// H04N 5/04

21 Aktenzeichen: 195 06 543.3-31
22 Anmeldetag: 24. 2. 95
43 Offenlegungstag: —
46 Veröffentlichungstag
der Patenterteilung: 9. 5. 96

B7

DE 195 06 543 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:

Siemens AG, 80333 München, DE

72 Erfinder:

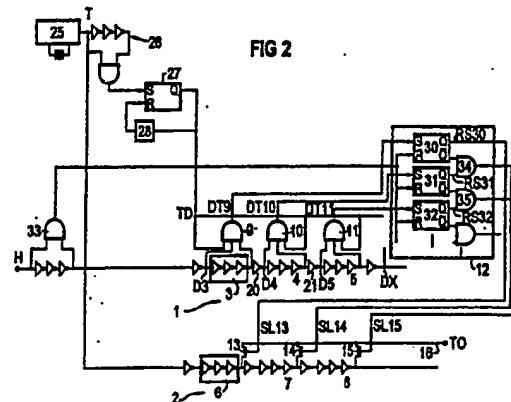
Mende, Manfred, Dipl.-Ing. (FH), 82008
Unterhaching, DE

56 Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

EP 08 27 815 A1
EP 03 55 329 A2

64 Taktserzeugungsschaltung

57 Eine Schaltungsanordnung zur Erzeugung eines Ausgangstaktsignals (TO), das an einen Referenzimpuls (H), beispielsweise einen Horizontalsynchronimpuls eines Fernsehsignals gekoppelt ist, weist eine erste Laufzeitkette (1) mit einer Vielzahl von Laufzeitgliedern (3, 4, 5) sowie eine entsprechende zweite Laufzeitkette (2) auf. Zur Ermittlung der Lage des in der ersten Laufzeitkette (1) verzögerten Referenzimpulses (H) in bezug auf das Eingangstaktsignal (T) sind mit den Laufzeitgliedern (3, 4, 5) der ersten Laufzeitkette (1) verbundene Schaltungsmittel (9, 10, 11) vorgesehen. Die Laufzeitglieder (6, 7, 8) der zweiten Laufzeitkette (2) sind jeweils über ein Schaltelement (13, 14, 15) mit einem Ausgang (16) zum Abgriff des Ausgangstaktsignals (TO) verbunden. Durch Steuerungsmittel (12) wird in Abhängigkeit von der festgestellten Lage des Referenzimpulses (H) in der ersten Laufzeitkette (1) eines der Schaltelemente (13, 14, 15) eingeschaltet, so daß das in die zweite Laufzeitkette (2) eingespeiste Eingangstaktsignal (T) um eine entsprechende Zeit verzögert am Ausgang (16) abgreifbar ist. Insgesamt wird eine phasenstarre Kopplung des Ausgangssignals (TO) an den Referenzimpuls (H) mit geringem Schaltungsaufwand erreicht. Die zu verwendenden Bauelemente sind in digitaler Schaltungstechnik standardmäßig realisierbar.



DE 195 06 543 C 1

Die Erfindung betrifft eine Schaltungsanordnung zur Erzeugung eines an einen Referenzimpuls gekoppelten Ausgangstaktsignals.

Bisher wurde das Problem der Erzeugung eines an ein Referenzsignal phasengekoppelten Ausgangstaktsignals unter Verwendung von Phasenregelkreisen (PLL) gelöst. Phasenregelkreise sind beispielsweise in der Literaturstelle Tietze, Schenk: "Halbleiterschaltungstechnik", 9. Auflage, 1991, Seiten 954 bis 966 beschrieben. Phasenregelkreise haben jedoch den Nachteil eines hohen Schaltungsaufwands und benötigen bei integrierter Realisierung eine relativ hohe Chipfläche. Darüber hinaus enthalten Phasenregelkreise analog arbeitenden Komponenten, so daß die charakteristischen Parameter verschiedener Schaltkreise bedingt durch die Herstellungstechnologie relativ stark schwanken können. Bei Integration solcher Phasenregelkreise zusammen mit komplexen Digitalschaltungseinheiten können sich beide Komponenten gegenseitig stören.

In der EP-A1-0 627 815 ist eine Schaltung zur Verzögerung der Flanken eines Eingangssignals in Abhängigkeit von Steuersignalen gezeigt, bei der die Lage der ansteigenden und der fallenden Flanke unabhängig voneinander durch eine jeweilige Flankenverzögerungseinrichtung steuerbar sind. Jede Einrichtung enthält eine Kette aus Verzögerungsgliedern. In Abhängigkeit von einem Steuersignal, das einen Transistor durchschaltet, kann das jeweilige Ausgangssignal der Einrichtungen verzögert an einem der Verzögerungsglieder abgegriffen werden. Ein logisches Schaltelement kombiniert die Ausgangssignale der beiden Einrichtungen zum verzögerten Ausgangssignal.

In der EP-A2-0 355 329 ist eine Schaltungsanordnung zur Phasenverschiebung beschrieben, bei der die Phasenverschiebung in Abhängigkeit von einem Steuersignal einstellbar ist. Das Steuersignal sowie das in der Phase zu verschiebende Signal werden jeweils in zwei orthogonale Signalkomponenten aufgetrennt. Die Komponenten des in der Phase zu verschiebenden Signals werden mit den Komponenten des Steuersignals gewichtet und wieder zum phasenverschobenen Ausgangssignal zusammengefaßt.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zur Erzeugung eines an einen Referenzimpuls gekoppelten Ausgangstaktsignals anzugeben, das eine einfachere Realisierung bei möglichst guter Phasenkopplung aufweist.

Erfindungsgemäß wird diese Aufgabe durch eine Schaltungsanordnung gemäß den Merkmalen des Patentanspruchs 1 gelöst.

Die schaltungstechnische Realisierung der erfindungsgemäßen Anordnung enthält im wesentlichen digitale Schaltelemente. Diese sind problemlos in digitalen Halbleiterschaltungstechnologien herstellbar. Die Schaltungsanordnung kann deshalb zusammen mit digitalen Signalverarbeitungseinrichtungen auf einem einzigen integrierten Halbleiterchip angeordnet werden, ohne daß wesentliche gegenseitige Störeinflüsse auftreten. Die Schaltungsanordnung erzeugt einen frequenzstabilen und gut an das Referenzsignal gekoppelten Ausgangstakt. Der Flächenaufwand ist gegenüber bekannten Lösungen gering, da die zu verwendenden digitalen Bauelemente regelmäßig und dicht gepackt werden können.

Die Schaltung eignet sich besonders für Videosignalverarbeitungsanwendungen, insbesondere für den Fern-

sehsignalempfang. Dort besteht das Problem, ein Taktsignal an den Horizontalsynchronimpuls phasenstarr zu koppeln. Bei geringfügig schwankender Horizontalsynchronimpulsfrequenz weist das erzeugte Ausgangstaktsignal nur im Bereich der Horizontalsynchronimpulsflanke ein nicht ganz ausgeglichenes Tastverhältnis auf, was jedoch die Signalverarbeitung im Gerät nicht beeinflusst.

Nachfolgend wird die Erfindung anhand der in der Zeichnung dargestellten Figuren näher erläutert. Es zeigen:

Fig. 1 ein Prinzipschaltbild der erfindungsgemäßen Schaltungsanordnung,

Fig. 2 eine schaltungstechnische Detailrealisierung der Prinzipschaltung nach Fig. 1 und

Fig. 3 ein Signaldiagramm von in der Schaltung nach Fig. 2 auftretenden Signalen.

Die Schaltungsanordnung gemäß Fig. 1 erzeugt aus dem Taktsignal T ein an die Low-High-Flanke des Signals H phasenstarr gekoppeltes Ausgangstaktsignal TO. Die Anordnung enthält eine erste Laufzeitkette 1 mit einer Vielzahl von Laufzeitgliedern 3, 4, 5 und eine zweite Laufzeitkette 2 mit einer entsprechenden Vielzahl von Laufzeitgliedern 6, 7, 8. Parallel zum Eingangsausgangssignalpfad jedes der Laufzeitglieder der Laufzeitkette 1 ist eine Auswerteeinrichtung geschaltet, von denen die Auswerteeinrichtungen 9, 10, 11 in der Fig. 1 dargestellt sind. Durch jede der Auswerteeinrichtungen 9, 10, 11 wird festgestellt, ob sich eine in der Laufzeitkette 1 ausbreitende Flanke des Horizontalimpulses H zum Zeitpunkt einer Flanke des Eingangstaktsignals T momentan im jeweiligen Laufzeitglied 3, 4 bzw. 5 befindet.

Am Ausgang jedes der Laufzeitglieder der Laufzeitkette 2 ist ein Schaltelement vorgesehen, über das die Laufzeitglieder gemeinsam an einen Ausgangsanschluß 16 zum Abgriff des Ausgangstaktsignals TO angeschlossen sind. In der Fig. 1 sind für die Laufzeitglieder 6, 7, 8 die Schaltelemente 13, 14, 15 dargestellt.

Durch eine Steuerungseinrichtung 12 wird durch Auswertung der Ausgangssignale der Einrichtungen 9, 10, 11 ermittelt, welche dieser Einrichtungen momentan ein aktives Ausgangssignal aufweist. Durch die Steuerungseinrichtung 12 wird daraufhin eines der Schaltelemente 13, 14, 15 leitend geschaltet, so daß das in die Laufzeitkette 2 eingespeiste Eingangstaktsignal T entsprechend der in der ersten Laufzeitkette 1 festgestellten Lage zum Abgreifen am Anschluß 16 verzögert wird. Dabei entspricht das Schaltelement 13 der Auswerteeinrichtung 9, das Schaltelement 14 der Auswerteeinrichtung 10, das Schaltelement 15 der Auswerteeinrichtung 11.

Die Detailrealisierung gemäß Fig. 2 sieht in der Laufzeitkette 1 Laufzeitglieder 3, 4, 5 aus jeweils drei Invertoren vor. Damit jedes Laufzeitglied vom verzögerten Horizontalsynchronimpuls H gleichsinnig angesteuert wird, ist zwischen den einzelnen Laufzeitgliedern je ein Inverter 20, 21 vorgesehen. Entsprechendes gilt für die Laufzeitkette 2. Die Einrichtungen 9, 10, 11 sind jeweils als UND-Gatter ausgeführt, von denen ein erster Eingang mit dem Eingang eines Laufzeitgliedes verbunden ist und ein zweiter Eingang mit dem Ausgang eines Laufzeitgliedes.

Wenn sich das jeweilige Laufzeitglied im Ruhezustand befindet, liegen an den Eingängen des jeweiligen UND-Gatters verschiedene Signale an, so daß es gesperrt ist. Wenn sich in der jeweiligen Laufzeitkette gerade eine Low-High-Flanke des Horizontalimpulses

H ausbreitet, liegt kurzzeitig ein Zustand vor, bei dem sowohl Eingang als auch Ausgang des Laufzeitgliedes einen H-Pegel aufweisen. Außerdem wird ein nur während einer Impulsflanke des Taktsignals T aktives Signal TD in jedes der UND-Gatter eingespeist. Folglich wird nur dasjenige der UND-Gatter 9, 10, 11 durchgeschaltet, in dessen Laufzeitglied sich gerade der Horizontalsynchronimpuls H während eines aktiven Signals TD ausbreitet. Auf diese Weise wird die momentane Lage des Horizontalsynchronimpulses H in der Laufzeitkette 1 beim Auftreten einer Taktflanke des Eingangstaktsignals T festgestellt.

Das Signal T wird durch einen frequenzstabilen Quarzoszillator 25 erzeugt. Je nach Stabilitätsanforderungen kann auch ein LC-Oszillator verwendet werden. Um während einer Low-High-Flanke des Signals T für das Signal TD einen Impuls zu erzeugen, ist ein Flankendetektor 26 vorgesehen, und ein Impulsformeinrichtung 27. Letztere enthält ein RS-Flip-Flop, dessen Setzeingang vom Flankendetektor 26 angesteuert wird und auf diesen Rücksetzeingang das Ausgangssignal des RS-Flip-Flops 27 über ein Verzögerungselement 28 rückgekoppelt wird.

Die Steuerungseinrichtung 12 enthält eine Vielzahl von Speicherelementen 30, 31, 32, wobei jedem der UND-Gatter 9, 10, 11 ein entsprechendes Speicherelement 30, 31 bzw. 32 zugeordnet ist. Der Setzeingang der RS-Flip-Flops 30, 31, 32 wird jeweils vom Ausgang der zugeordneten UND-Gatter angesteuert. Der Rücksetzeingang der Speicherelemente wird gemeinsam von der in Rede stehenden Flanke des Horizontalsynchronimpulses H angesteuert. Hierzu sind die Rücksetzeingänge mit einem Flankendetektor 33 verbunden, der in den Signalweg für die Zuführung des Horizontalsynchronimpulses H geschaltet ist. Die Ausgänge der RS-Flip-Flops 30, 31, 32 sind jeweils mit einem der Schaltelemente 13, 14, 15 verbunden. Um sicherzustellen, daß nur eines der Schaltelemente 13, 14, 15 gleichzeitig eingeschaltet wird, sind UND-Gatter 34, 35 vorgesehen, die den jeweiligen Signalausgang des RS-Flip-Flops 31, 32 mit dem invertierten Signalausgang desjenigen Flip-Flops 30, 31 verbinden, das dasjenige Schaltelement ansteuert, welches im Signalpfad näher an der Eingangsseite liegt. Die Schaltelemente 13, 14, 15 sind als Schalttransistoren, vorzugsweise selbstsperrende n-Kanal-MOS-Transistoren ausgeführt. Zum Abgriff des Ausgangstaktsignals TO am Anschluß 16 ist zweckmäßigerweise ein Verstärker vorgeschaltet.

In der Fig. 3 ist der Takt T dargestellt sowie der Horizontalsynchronimpuls H und eine Reihe von in der Fig. 2 erzeugten Signalen. Das Signal TD, das am Ausgang des Impulsformers 27 erzeugt wird, weist bei einer positiv gerichteten Flanke des Eingangstaktsignals T einen Impuls auf. Die Signale D3, D4, D5, DX liegen an den Eingängen der Laufzeitglieder 3, 4, 5, ... der Laufzeitkette 1 an. Die Signale DT9, DT10, DT11 sind an den Ausgängen der UND-Gatter 9, 10, 11 abgegriffen.

Da sich die in der Laufzeitkette 1 ausbreitende Flanke des Horizontalsynchronimpulses H während des Impulses des Signals TD momentan durch die Laufzeitglieder 4 und 5 ausbreitet, weisen nur die Signale DT10 und DT11 einen Impuls auf. Während sich der Horizontalsynchronimpuls H durch die Laufzeitkette 3 ausbreitet, ist das Signal TD nicht aktiv, so daß am Ausgang des UND-Gatters 9 das Signal DT9 keinen Impuls hat. Die Ausgangssignale der RS-Flip-Flops 30, 31, 32 sind mit RS30, RS31, RS32 bezeichnet. Das Signal RS30 wird nicht verändert, während die Flip-Flops 31, 32 durch die

Signale DT10 bzw. DT11 gesetzt werden und ihren Ausgangspegel ändern.

Die die Schalttransistoren 13, 14, 15 steuernden Signale werden mit SL13, SL14 bzw. SL15 bezeichnet. Das Signal SL13 bleibt unverändert, da das Flip-Flop 30 nicht umschaltet. Entsprechend dem Ausgangssignal RS31 schaltet das Steuersignal SL14 zur Ansteuerung des Transistors 14 um.

Es wird nur dasjenige Schaltelement aktiviert, durch das eine der in der ersten Laufzeitkette 1 für das Signal H festgestellte entsprechende Verzögerung des Eingangstaktsignals T in der zweiten Laufzeitkette 2 bewirkt wird. Dadurch wird erreicht, daß das Taktsignal TO gegenüber dem Eingangstaktsignal T um zwei Verzögerungsperioden eines Laufzeitglieds der Laufzeitkette verschoben am Ausgang 16 anliegt, wobei die Flanke 50 des Ausgangstaktsignals TO an die Flanke 51 des Horizontalsynchronimpulses H als Referenzsignal gekoppelt ist. Das Signal TO ist insgesamt um drei Verzögerungsperioden gegenüber dem Signal H verschoben. Diese Verzögerung zwischen den Signalen TO und H setzt sich zusammen aus der Verzögerung 52, die durch den Flankendetektor 33 bewirkt wird, der Verzögerung 53 zwischen den Signalen T und TD sowie der Verzögerung 54 zwischen den Signalen DT10 und RS31. Die beiden letztgenannten Verzögerungen werden durch die Speicherelemente 27 bzw. 31 bewirkt. Die UND-Gatter 34, 35 sorgen dafür, daß nur das näher an der Eingangsseite liegende der Schaltelemente 13, 14, 15 aktiviert wird. Es wird demnach das Ausgangssignal TO derart erzeugt, daß es phasenstarr an den Horizontalsynchronimpuls H als Referenzsignal gekoppelt ist und diesem mit einer Verzögerung von drei Taktperioden folgt.

Bei der praktischen Ausführung der Schaltung ist zu berücksichtigen, daß der vom Impulsformer 27 erzeugte Impuls des Signals TD einerseits so lange dauert, daß die angesteuerten UND-Gatter 9, 10, 11 die Flanke des Horizontalsynchronimpulses H sicher detektieren; andererseits sollte mit möglichst geringem Aufwand die Verriegelung der Ausgänge der RS-Flip-Flops 30, 31, 32 sichergestellt werden, so daß wie beschrieben nur das näher an der Eingangsseite liegende der Schaltelemente 13, 14, 15 eingeschaltet wird. Die Gesamtverzögerungszeit der Laufzeitketten 1, 2 weist jeweils eine Verzögerung von etwas mehr als einer Taktperiode des Eingangstaktsignals T auf. Die Genauigkeit der Takterzeugung wird im wesentlichen durch die Verzögerung pro Laufzeitglied bestimmt, womit die notwendige Mindestanzahl der Laufzeitglieder entsprechend der gewünschten Auflösung steigt.

Patentsprüche

1. Schaltungsanordnung zur Erzeugung eines an einen Referenzimpuls gekoppelten Ausgangstaktsignals, enthaltend:

- einen Anschluß für ein Eingangstaktsignal (T),
- einen Anschluß (16) für das Ausgangstaktsignal (TO),
- eine eine Vielzahl von in Reihe geschalteten Laufzeitgliedern (3, 4, 5) enthaltende erste Laufzeitkette (1), die eingangsseitig einen Anschluß für den Referenzimpuls (H) aufweist,
- ein Mittel (9, 10, 11) zum Feststellen der Lage des in der Laufzeitkette eingespeisten Referenzimpulses (H) in bezug auf eine Takt-

flanke des Eingangstaktsignals (T),

— eine eine Vielzahl von in Reihe geschalteten Laufzeitgliedern (6, 7, 8) enthaltende zweite Laufzeitkette (1), die eingangsseitig einen Anschluß für das Eingangstaktsignal (T) aufweist und deren Laufzeitglieder jeweils über ein Schaltelement (13, 14, 15) mit dem Anschluß für das Ausgangstaktsignal (TO) verbunden sind,

— Steuerungsmittel (12), durch die ein der festgestellten Lage entsprechendes Schaltelement einschaltbar ist, und die übrigen Schaltelemente ausschaltbar sind.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß das Mittel (9, 10, 11) zum Feststellen der Lage des in der ersten Laufzeitkette (1) vorliegenden Referenzimpulses (H) in bezug auf eine Taktflanke des Eingangstaktsignals (T) für jedes Laufzeitglied ein logisches Gatter enthält, das eingangsseitig mit dem Eingangsanschluß und dem Ausgangsanschluß des jeweiligen Laufzeitglieds verbunden ist und dem eingangsseitig ein während einer Flanke des Eingangstaktsignals erzeugter Impuls (TD) zuführbar ist.

3. Schaltungsanordnung nach einem der Ansprüche 1 bis 2, dadurch gekennzeichnet, daß die Steuerungsmittel (12) für jedes der logischen Gatter (9, 10, 11) ein Speicherelement (30, 31, 32) enthalten, das durch einen Ausgang des logischen Gatters (9, 10, 11) setzbar ist, und daß durch den Ausgang jedes Speicherelements (30, 31, 32) eines der Schaltelemente (13, 14, 15) steuerbar ist.

4. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß die Speicherelemente (30, 31, 32) in Abhängigkeit vom Referenzimpuls (H) rücksetzbar sind.

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß ein Laufzeitglied (3, 4, 5, 6, 7, 8) eine ungeradzahlige Anzahl von Invertern enthält, das zwischen zwei Laufzeitgliedern jeweils ein weiterer Inverter geschaltet ist, daß die logischen Gatter (9, 10, 11) jeweils UND-Gatter sind, bei denen jeweils einer der Eingangsanschlüsse mit dem Eingang und ein anderer der Eingangsanschlüsse mit dem Ausgang eines der Laufzeitglieder verbunden ist.

Hierzu 3 Seite(n) Zeichnungen

50

55

60

65

- Leerseite -

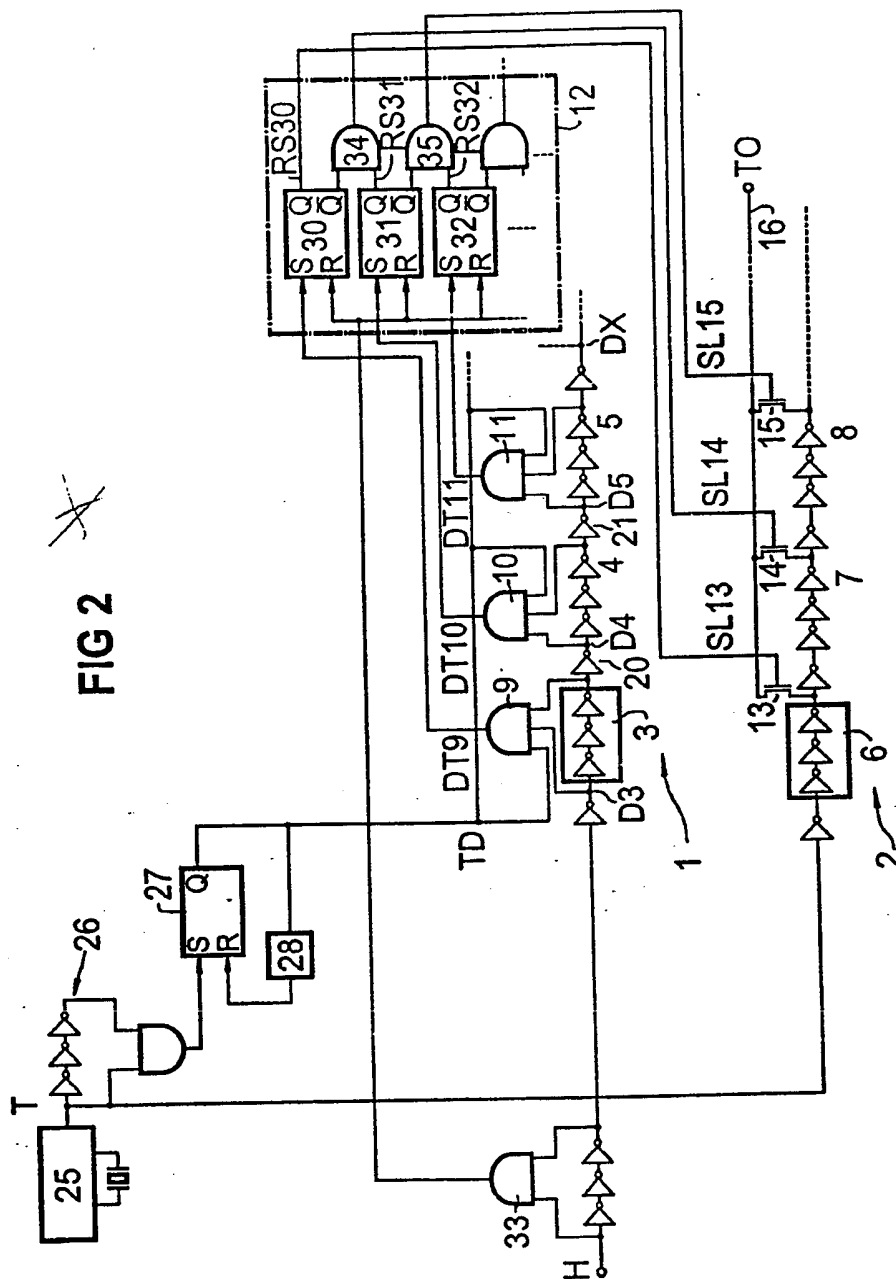


FIG 1

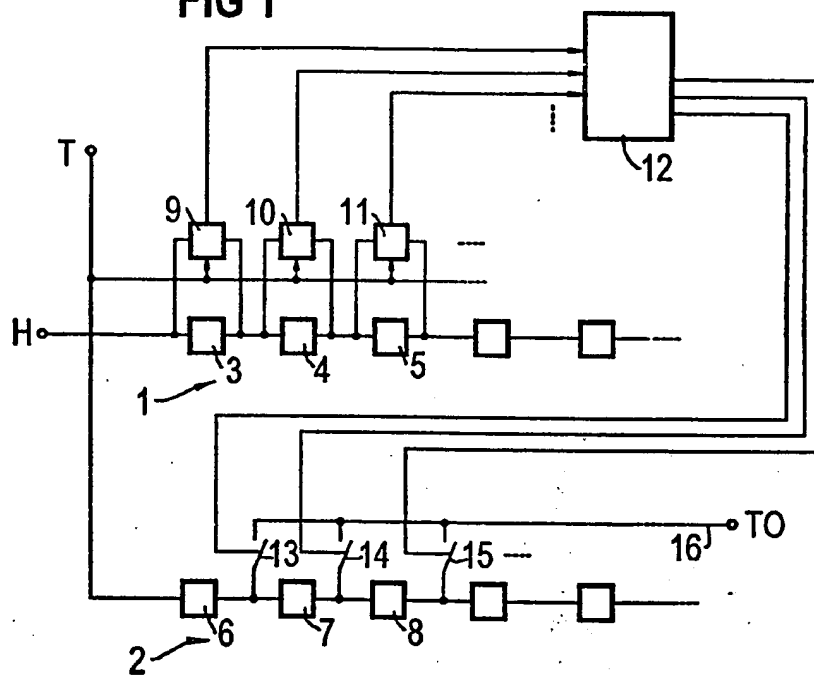
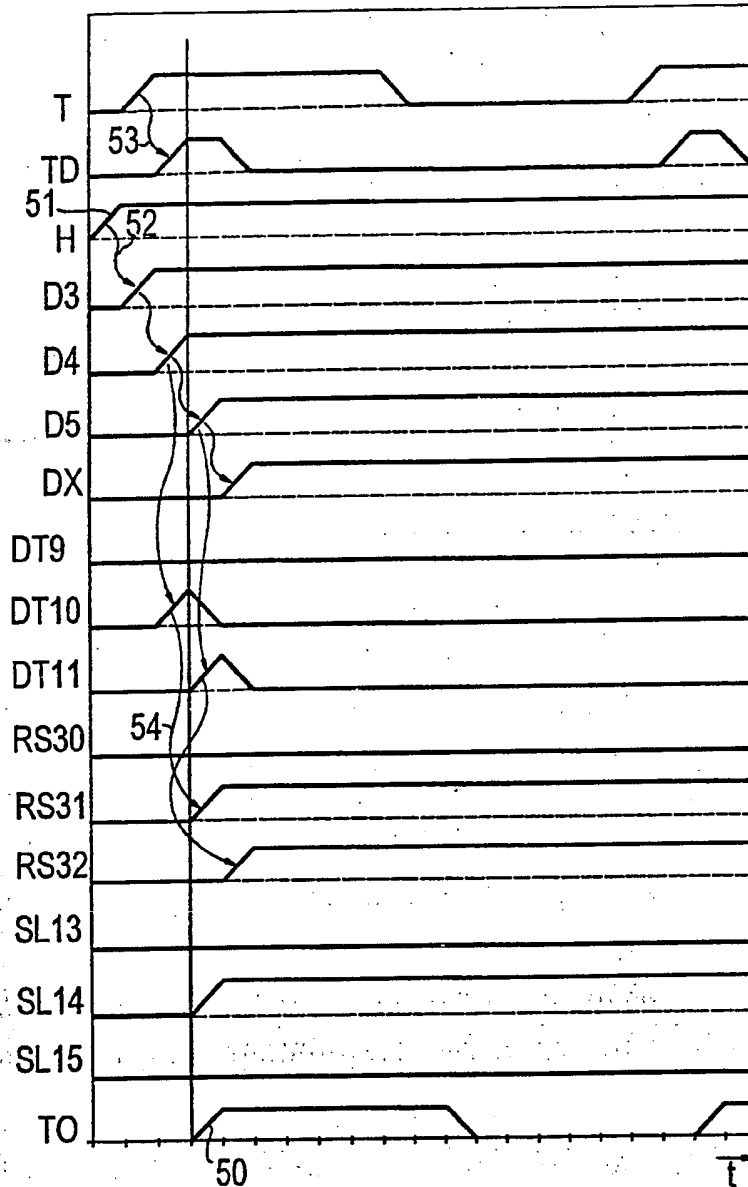


FIG 3



DOCKET NO: GR 98 P 2037 P

SERIAL NO: 09/756,084

APPLICANT: Buck

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100